

電子デバイス・材料（創る）

システムLSI（CMOS）

ご利用にあたっての注意

この講座の内容は、2006年当時の情報です。予告なしに更新、あるいは掲載を終了することがあります。あらかじめご了承ください。

最終更新日 2006年8月1日

もくじ

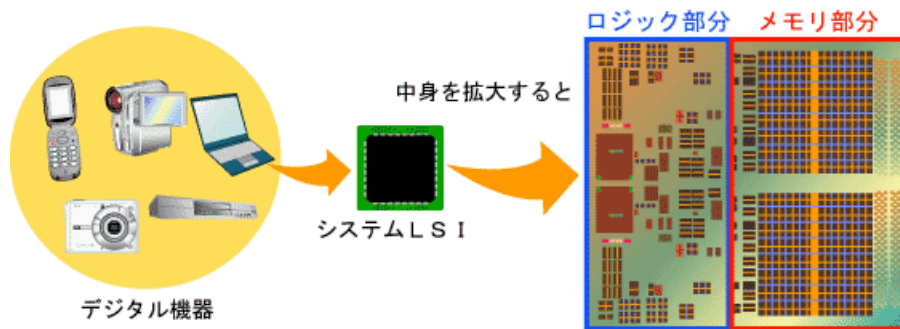
- ↓ システムLSI（CMOS）ってなんだろう
- ↓ 特長
- ↓ 原理
- ↓ 作り方
- ↓ 応用
- ↓ 素朴な疑問
- ↓ 関連ページへのリンク



システムLSI（CMOS）ってなんだろう

デジタル機器の中のシステムLSIの役割

システムLSI（例えばPentiumなど）の中には、ロジック(論理)部分とメモリ(記憶)部分があります。



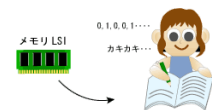
ロジック(論理)部分は、計算する役割を持ち、高機能な電卓のようなものです。システムLSIのロジック部分に入ってきた、「1」「0」の情報を自分の持っている計算式で計算し、その結果を次の処理に送っています。メモリ(記憶)部分は、計算した結果を一時的に覚えておくために組み込まれています。



(参考)

私達がよく耳にするメモリという言葉は、メモリLSI（例えばDRAMやフラッシュメモリなど）を指していることがあります。

メモリLSIは、情報を記録する役割専門でノートのようなものです。メモリに入ってきた「1」「0」の情報を覚えて保持しています。

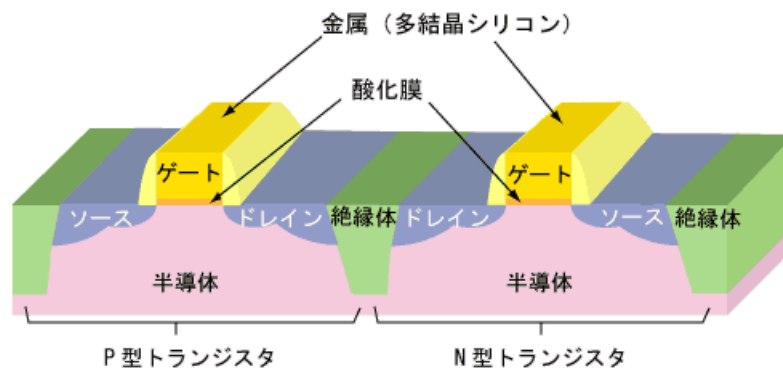


CMOS(シーモス)ってなんだろう

CMOSは、コンピュータのCPUを構成する基本回路として利用され、現在、システムLSIといえばCMOS、といわれるほど使われています。

CMOS = Complementary Metal Oxide Semiconductor
の略(相補型金属酸化膜半導体)

MOS構造（金属と半導体の間に薄い酸化膜が挟まれた構造）のP型トランジスタとN型トランジスタを組み合わせたものをCMOSといいます。トランジスタはソース、ゲート、ドレインの3つの電極を持つスイッチのようなもので、半導体に加える不純物を変えることで、P型とN型の二種類のトランジスタをつくることができます。



特長

消費電力が小さい

インバータ回路1個が1秒間に2億回の信号の書き換えを繰り返した時に、消費される電力は3マイクロワットです。



(説明1) インバータ回路とは、入力された信号を反転して出力する働きを持つ最も単純な回路です。

動作速度が速い

最新のトランジスタ（ゲート長が25nm）を使ったインバータ回路では、入力された信号を反転して次の回路に伝えるまでの時間が15ps（ピコ秒）です。

どれくらい速いかというと、1秒間で地球を7周半(約30万km)もする光でさえ、15ps（ピコ秒）では4.5mm進むのがやっとです。それだけ高速に信号の伝搬を行っています

(説明2) 1ピコ秒は、1兆分の1秒です。

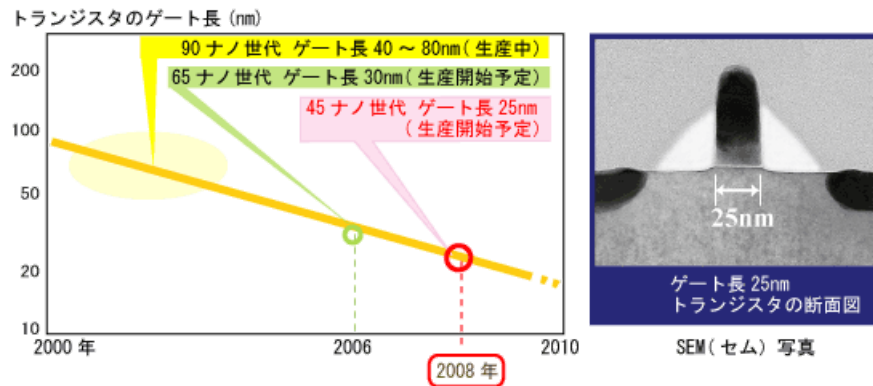
最新のトランジスタの寸法

トランジスタサイズとは、どこの部分で比較しているのでしょうか

トランジスタのゲート長で比較しています。
現在はゲート長25nmのトランジスタを研究しています。



(説明3) グラフ中に記載されている「ナノ世代」とは、同じような研究に携わる技術者同士が目安にするためのトランジスタサイズの呼び名です。研究中の「45ナノ世代」では、ゲート長25nm前後、配線幅70nmのことを指します。



25nmとはどれくらいのサイズなのでしょう

肉眼で確認することは難しく、SEM(セム)と呼ばれる電子顕微鏡を使ってナノメートルレベルのサイズを確認します。25nmという大きさは原子やDNAと様々なウイルスの間くらいに位置しています。



微細配線

トランジスタサイズが小さくなると、当然、配線も細く配線間隔も狭くなります。高性能なトランジスタを作る為、配線パターンも複雑になります。そこで、研究開発を進めていく上で、以下の4つの点が重要となります。

1) 配線を微細に加工する

現在45ナノ世代の配線幅は70nmです。「作り方 (5ページ)」で示してある方法で複雑な配線を形成します。

2) 配線間に使う誘電率の低い絶縁材料を使用する

配線間や層間が狭くなれば、配線間に電荷がたまりやすくなり、信号の伝わりかたが遅くなります。それを防ぐ為に誘電率の低い材料を使用する必要があります。(誘電率2.25以下の材料を使用)

3) 歩留まりを上げる

生産時の配線の断線を減らします。

配線材料の銅が絶縁膜へ拡散してしまわないように、配線の周りを「バリアメタル」と呼ばれる金属でコーティングして、断線不良の発生を少なくしています。

4) 高い信頼性を確立する

生産時は断線がなくても、時間が経つと断線が生じるという恐れがあります。富士通では信頼性試験をおこなって、10年経過しても断線不良の発生率が0.1%以下であることを保証するようにしています。

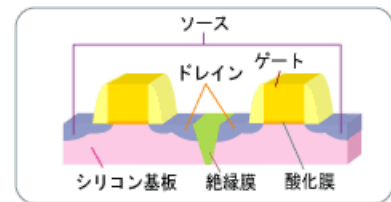
原理

コンピュータの中は「1」と「0」のデータしかありません。その「1」と「0」を作り出すのがCMOSトランジスタです。トランジスタには、P型トランジスタ（PMOS）とN型トランジスタ（NMOS）があり、この2つのトランジスタを組み合わせる使うのがCMOSトランジスタです。

CMOSの最も単純なインバータ回路を例にあげて、原理を説明しましょう

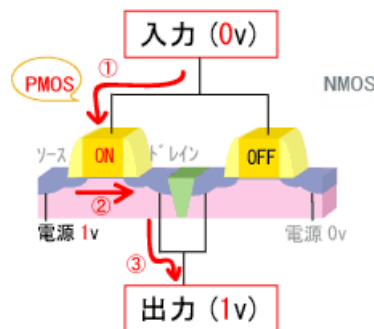
トランジスタの基本構造です。

(ソース電極とドレイン電極の間を電流が流れます。途中、ゲート電極で電流の流れをON、OFFします。)



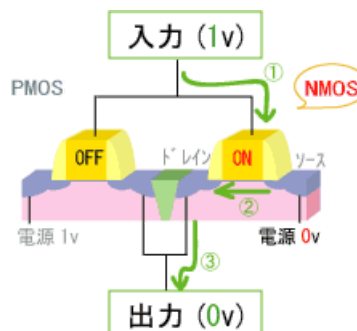
<入力が0ボルトの場合、1ボルトを出力>

入力が0ボルトの場合、P型トランジスタ（PMOS）のゲート電極スイッチのみがONになり、P型トランジスタのソース電極につながる電源1ボルトが出力されます。



<入力が1ボルトの場合、0ボルトを出力>

入力が1ボルトの場合は、N型トランジスタ(NMOS)のゲート電極スイッチのみがONになり、N型トランジスタのソース電極につながる電源0ボルトが出力されます。

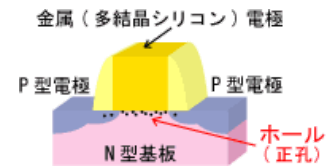


P型トランジスタとN型トランジスタの違い

トランジスタのP型、N型にかかわらず、ゲート電極に電圧がかかっていない状態では、ソース電極とドレイン電極の間に電流は流れません。

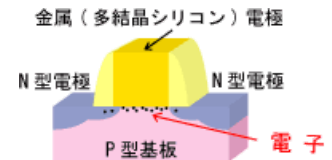
- P型トランジスタ

N型のシリコン基板にP型のソース・ドレイン電極と金属（多結晶シリコン）ゲート電極を付けたものです。ゲートにマイナスの電圧を加えると、ソースとドレイン電極間に電流が流れ始めます。ソース電極からドレイン電極へ移動するのはホール（正孔）です。

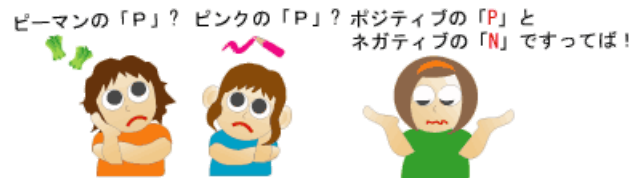


- N型トランジスタ

P型のシリコン基板にN型のソース・ドレイン電極と金属（多結晶シリコン）ゲート電極を付けたものです。ゲートにプラスの電圧を加えると、ソースとドレイン電極間に電流が流れ始めます。ソース電極からドレイン電極へ移動するのは電子です。



P型とは電流をホール（正孔）が運ぶという意味でPositiveのPを使い、N型とは電流を電子が運ぶのでNegativeのNを使ってあらわしています。



作り方

CMOSの形成プロセス（簡略化したもの）

<準備>

使用するもの：シリコンウェーハ
(シリコンインゴットを輪切りにしたもので、厚さ0.8mmです。)



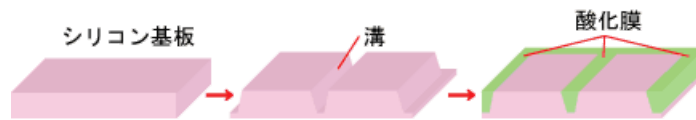
作る場所：クリーンルーム
(空気中の埃や塵を制御した部屋です。)



クリーンルームウェアガールズ

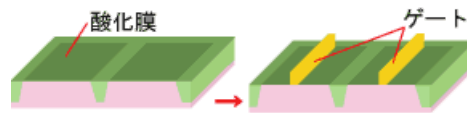
<トランジスタ形成>

1) 基板の素子領域を分離します。
(トランジスタ同士がショートしないように溝を掘り、酸化膜を埋め込みます。)



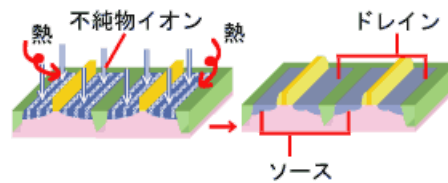
2) ゲート電極を形成します。

(厚さ1nmの非常に均一で薄い酸化膜を形成し、多結晶シリコンでゲート電極を形成します。)



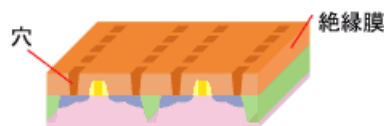
3) ソース電極とドレイン電極を形成します。

(不純物イオンを注入して加熱します。)



4) コンタクトを形成します。

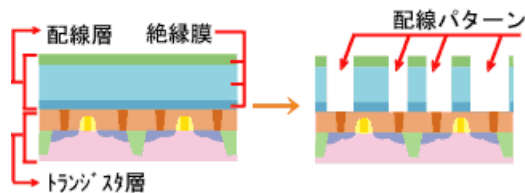
(素子と配線を分離するために絶縁膜を積層し、必要な箇所に電極と配線をつなぐ穴をあけます。穴には配線をつなぎやすくするための金属を埋め込みます。)



＜配線層形成＞

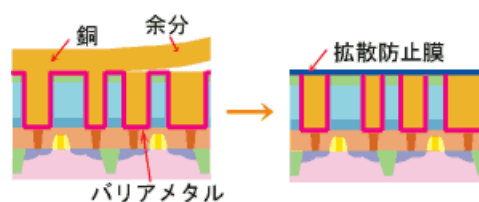
1) 第1層目の配線に必要な絶縁膜を積層し、配線パターンを加工します。

(数種類の絶縁膜を積層し、その絶縁膜を残したい部分にはレジストをつけて残し、配線する部分は絶縁膜を削り取ります。)

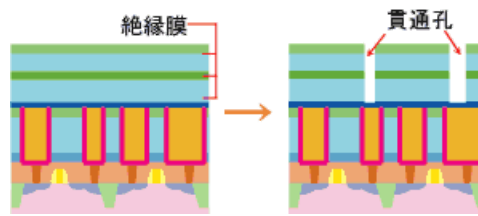


2) バリアメタルを入れ、配線材料の銅をめっきして、拡散防止膜をつけます。

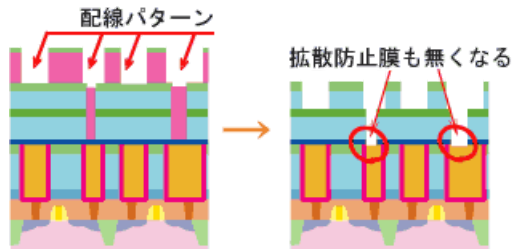
(絶縁膜に銅が拡散しないように、バリアメタルを先に入れます。そして銅で穴（配線パターン）をふさぐようにめっきします。その後、削って平らにしてから拡散防止膜をつけます。)



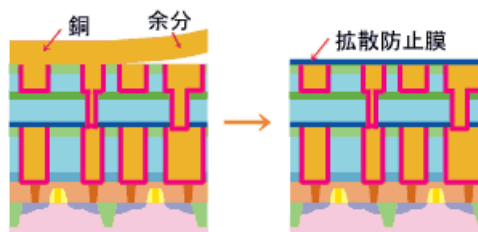
3) 第2層目の貫通孔に必要な貫通孔パターンを加工します。



4) 第2層目の配線パターンを加工します。この時、貫通孔底の拡散防止膜も無くなります。



5) バリアメタルを入れ、配線材料の銅をめっきした後、削って平らにしてから拡散防止膜をつけます。



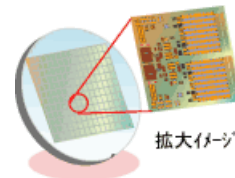
上下の配線をつなぐ貫通孔と上の配線に銅を一度に埋め込む方法を「Dual Damascene(デュアルダマシン)法」と呼びます。配線層形成の3番から5番の工程を繰り返して10層ほど積層します。

<最後の工程>

ウェーハ試験



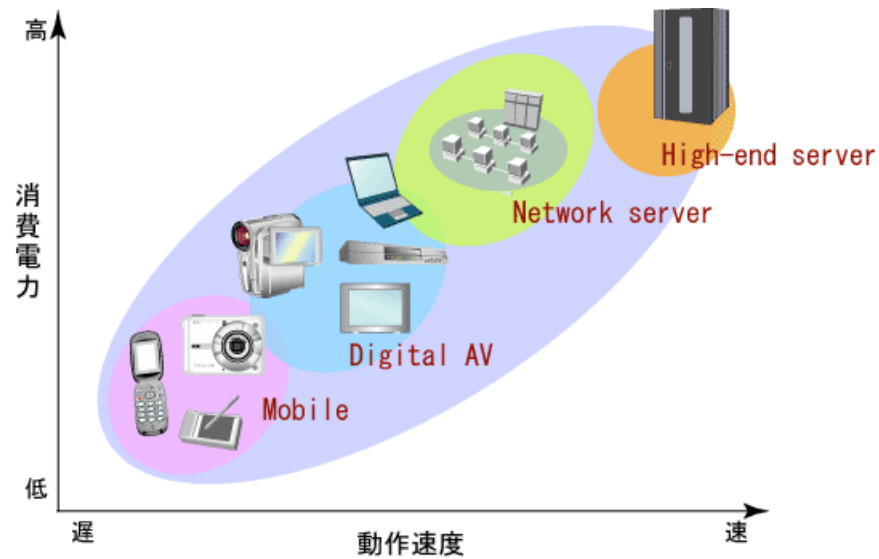
ダイヤモンドカッターでカッティングして完成



応用

CMOSの活躍

CMOSは微細化が進み、私達の身の回りにあるデジタル機器の高速化・高性能化を支える一部になっています。デジタル機器の中でも消費電力に重点を置いたもの、動作速度に重点を置いたものと用途に合わせて開発しています。

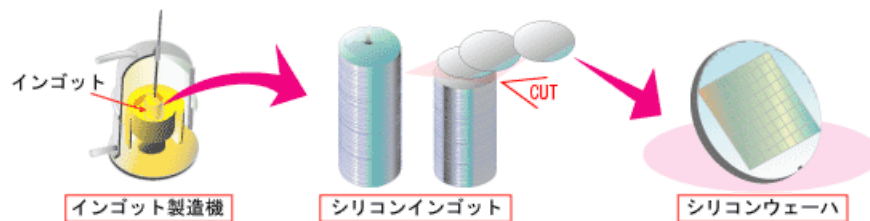


素朴な疑問



ウェーハについて

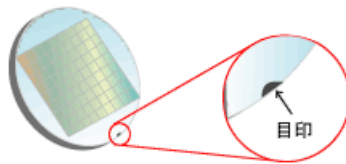
- 疑問1) 四角いLSIを作るのに、何でウェーハは丸いんだろう。
- 回答1) シリコンウェーハはシリコン単結晶の塊（インゴット）を製造し、0.8mmの薄さに輪切りにして作られます。シリコン単結晶そのものが円柱状になっているので、輪切りにしたウェーハも丸くなっています。



- 疑問2) 実験に使用した丸いウェーハは、リサイクルしているのかな
- 回答2) 表面部分を取り除いて、太陽電池に再利用しています。

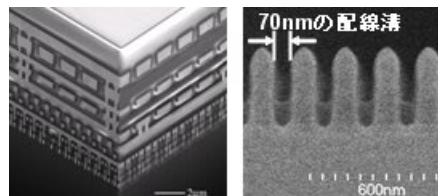


- 疑問3) ウェーハはよく見るとまん丸じゃなくて一箇所くぼみがあるけど、それはどうしてなの
- 回答3) くぼみが、ウェーハの向きを示す為の目印なのです。印のある方を手前にするのが正しい向きです。



装置について

- 疑問1) LSIの断面をナノメートルのレベルまで見られる顕微鏡があるって本当なの
- 回答1) 本当です。SEM（セム）と呼ばれる電子顕微鏡があります。
SEM（走査型電子顕微鏡）は見たい対象物を数十万倍に拡大して観察する装置です。
原理は、対象物の表面に電子ビームをあて、左右に振りながら上から下へ走査（スキャン）していきます。画面には対象物の表面のデコボコが像として映し出されます。下の写真はSEMで撮影したものです。（最小70nm配線の断面写真）



関連ページへのリンク

プレスリリース

- ＞ コンパクト・動画付きデジタルカメラ向け画像処理システムLSI新発売（2006年7月12日）
- ＞ 45nm世代ロジックLSI向け低消費電力化技術を開発（2006年6月16日）
- ＞ 45ナノメートル世代LSI向け多層配線技術を開発（2005年6月6日）
- ＞ 世界初、0.11マイクロメートルCMOS技術で5GHz帯低雑音アンプを実現（2004年6月9日）
- ＞ 世界初、毎秒50ギガビットで動作するCMOSセレクトICを開発（2004年3月23日）

その他

- ＞ 富士通の研究開発